

TRIMMING METHOD FOR THERMAL HEAD

Publication number: JP9123507

Publication date: 1997-05-13

Inventor: USUDA AKIHIRO

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: B41J2/35; H01C17/22; B41J2/35; H01C17/22; (IPC1-7):
B41J2/35; H01C17/22

- European:

Application number: JP19950288379 19951107

Priority number(s): JP19950288379 19951107

[Report a data error here](#)

Abstract of JP9123507

PROBLEM TO BE SOLVED: To provide a method for trimming a thermal head with a high productivity. **SOLUTION:** The method for trimming a thermal head comprises the first step of applying a voltage pulse P_a to a specified first resistor of a plurality of resistors formed on an insulation board, the second step of measuring the resistance value of the first resistor applied with the pulse P_a , the third step of applying a voltage pulse P_b to a specified second resistor from the plurality of resistors, and the fourth step of measuring the resistance value of the second resistor applied with the pulse.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-123507

(43)公開日 平成9年(1997)5月13日

(51)Int.Cl.⁶

B 41 J 2/35
H 01 C 17/22

識別記号

府内整理番号

F I

B 41 J 3/20
H 01 C 17/22

技術表示箇所

114 C
Z

審査請求 未請求 請求項の数3 OL (全8頁)

(21)出願番号

特願平7-288379

(22)出願日

平成7年(1995)11月7日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 蒲田 章博

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

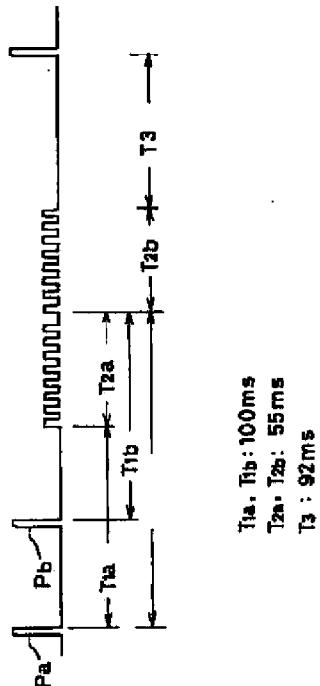
(74)代理人 弁理士 大胡 康夫

(54)【発明の名称】 サーマルヘッドのトリミング方法

(57)【要約】

【課題】 生産性がよいサーマルヘッドのトリミング方法を提供すること。

【解決手段】 絶縁性基板上に形成された複数の抵抗体の中から所定の第1抗体に電圧パルスP_aを印加する第1工程と、電圧パルスP_aが印加された第1抗体の抵抗値を測定する第2工程と、第1工程と第2工程との間で、複数の抵抗体の中から所定の第2抗体に電圧パルスP_bを印加する第3工程と、電圧パルスが印加された第2抗体の抵抗値を測定する第4工程とで構成されている。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された複数の抵抗体の中から所定の第1抗体に電圧パルスを印加する第1工程と、前記電圧パルスが印加された前記第1抗体の抵抗値を測定する第2工程と、前記第1工程と前記第2工程との間で、前記複数の抵抗体の中から所定の第2抗体に電圧パルスを印加する第3工程と、前記電圧パルスが印加された前記第2抗体の抵抗値を測定する第4工程とからなるサーマルヘッドのトリミング方法。

【請求項2】 所定の第1抗体および所定の第2抗体それぞれが複数であることを特徴とする請求項1記載のサーマルヘッドのトリミング方法。

【請求項3】 絶縁性基板上に形成された複数の抵抗体を複数の組に分け、各組ごとにそれ各自立した複数の共通電極を設ける第1工程と、前記各組の共通電極に同時に電圧パルスを印加し、前記各組ごとに選択された抵抗体の抵抗値を変化させる第2工程と、独立した前記複数の共通電極を互いに電気的に接続する第3工程とからなるサーマルヘッドのトリミング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サーマルヘッドを構成する複数の抵抗体に対して所定の電圧パルスを印加し、各抵抗体の抵抗値を均一化するサーマルヘッドのトリミング方法に関する。

【0002】

【従来の技術】プリンタの出力装置などに使用される例えば薄膜サーマルヘッドは、絶縁性基板上に複数の薄膜抵抗体が形成されている。そして、これら複数の抵抗体に電流を流して発熱させ出力用紙に感熱印画を行う構成になっている。このような構成の薄膜サーマルヘッドでは、各抵抗体の抵抗値にはばらつきがあると、それぞれの抵抗体の発熱温度が一様でなくなり、感熱印画する際に濃度むらを発生する原因となる。このような濃度むらを防止するために、その製造時において、各抵抗体の抵抗値を均一化するいわゆるトリミング処理が行われる。

【0003】抵抗値を均一化する場合、絶縁性基板上に形成された各抵抗体に対して一定の目標抵抗値が設定される。そして、設定された目標抵抗値より高い抵抗体に対して所定の電圧パルスを印加し、各抵抗体の抵抗値を目標値に近づけている。

【0004】ここで、絶縁性基板上に形成された複数の抵抗体の抵抗値がばらつく模様、そして、トリミング処理によって抵抗値が均一化される模様の一例を図10で説明する。図10の横軸は抵抗体の配列方向でその配列順序に対応したビット番号で示してある。また、縦軸は抵抗値(Ω)である。特性aがトリミング前の抵抗値、特性bがトリミング後の抵抗値である。この場合、印加する電圧パルス幅は5ms、また、抵抗値を測定する前の抵抗体の冷却時間は80msとなっている。

【0005】次に、従来のサーマルヘッドのトリミング方法について図11で説明する。

【0006】P1は、所定の電圧パルス(パルス幅5ms)で、この電圧パルスP1が、目標抵抗値より高い抵抗値の抵抗体に印加される。電圧パルスの印加で抵抗体の抵抗値が小さくなり、目標抵抗値に近づきいわゆるトリミングが行われる。その後、パルスP1が印加された抵抗体の抵抗値が測定される。このとき、パルスP1が印加された抵抗体は発熱し温度が上昇している。したがって、ある期間T1(100ms)冷却し、その後、期間T2(5ms)において抵抗値が測定される。そして、期間T3(1ms)では、抵抗値が目標抵抗値に入っているかどうか、あるいは、もう一度電圧パルスを印加する場合のその大きさなどが演算される。そして、次の電圧パルスP2が抵抗体に印加され、上記したと同様の処理が行われる。

【0007】このような電圧パルスの印加や抵抗値の測定などが各抵抗体に対して順に行われる。抵抗値が均一化される。なお、電圧パルスを印加した後の抵抗体の冷却時間が80msの場合、冷却が不十分で正しい抵抗値が測定できないため、図11では、冷却時間を100msにしている。この場合、電圧パルスを印加した後、演算まで106msを要している。

【0008】

【発明が解決しようとする課題】従来のサーマルヘッドのトリミング方法では、電圧パルスの印加や抵抗体の冷却、抵抗値の測定、そして演算など一連の処理が各抵抗体に対して順に行われる。このとき、抵抗値が目標抵抗値まで下がらない場合、電圧パルスの印加や抵抗値の測定が繰り返され、目標抵抗値に入るようになっている。また、サーマルヘッドは、サイズや抵抗体密度によって相違するものの、通常、数100～数1000個の抵抗体で構成される。このような場合、抵抗体の冷却に長い時間が必要とされることもあり、トリミング処理の生産性が悪くなっている。

【0009】本発明は、上記した欠点を解決するもので、生産性がよいサーマルヘッドのトリミング方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明のサーマルヘッドのトリミング方法は、絶縁性基板上に形成された複数の抵抗体の中から所定の第1抗体に電圧パルスを印加する第1工程と、前記電圧パルスが印加された前記第1抗体の抵抗値を測定する第2工程と、前記第1工程と前記第2工程との間で、前記複数の抵抗体の中から所定の第2抗体に電圧パルスを印加する第3工程と、前記電圧パルスが印加された前記第2抗体の抵抗値を測定する第4工程とで構成されている。

【0011】また、所定の第1抗体および所定の第2抗体それぞれが複数であることを特徴としている。

【0012】また、絶縁性基板上に形成された複数の抵抗を複数の組に分け、各組ごとにそれぞれ独立した複数の共通電極を設ける第1工程と、前記各組の共通電極に同時に電圧パルスを印加し、前記各組ごとに選択された抵抗体の抵抗値を変化させる第2工程と、独立した前記複数の共通電極を互いに電気的に接続する第3工程などで構成されている。

【0013】上記した構成によれば、電圧パルスが印加された第1抵抗体が冷却されている時間を利用して、他の第2抵抗体に対して電圧パルスが印加される。したがって、従来技術のように各抵抗体に対して、電圧パルスの印加や抵抗体の冷却、抵抗値の測定、演算などの処理を順に行う方法に比較してトリミングに要する時間を短縮でき、生産性のよいサーマルヘッドのトリミング方法を実現できる。

【0014】また、このとき、電圧パルスが印加される第1抵抗体や第2抵抗体を複数づつにすれば、複数の抵抗体を平行にトリミング処理でき、トリミングに要する時間をより短縮できる。

【0015】また、絶縁性基板上に形成された複数の抵抗を複数の組に分け、各組ごとにそれぞれ独立した共通電極を設け、各組の共通電極に同時に電圧パルスを印加する構成の場合も、複数の抵抗体を平行してトリミング処理でき、トリミングに要する時間を短縮できる。この場合、ドライバ用の集積回路を搭載した後でも、複数の発熱体に対して電圧パルスを印加し並列処理できるため、トリミング処理時間を短縮し生産性の向上が図られる。

【0016】

【発明の実施の形態】本発明の第1の実施形態について、図1を参照して説明する。

【0017】11はパルス発生装置である。パルス発生装置11は、抵抗値のトリミングに使用される高電圧の電圧パルスを発生する8個のパルス電源11a～11h、および、抵抗値の測定に使用される微小電圧を発生する1個の抵抗値測定用電源11iから構成されている。なお、トリミングの際に抵抗体に印加される電圧パルスの幅は5ms、そして1回あたりに印加されるパルスの数は1パルスに設定している。

【0018】パルス発生装置11で発生された電圧パルスは、切換装置12を経て薄膜サーマルヘッド13に印加される。サーマルヘッド13は、抵抗体やこの抵抗体に流す電流のオン・オフを制御するドライバ用の集積回路などから構成されている。なお、1つの集積回路は、例えば5.46dot/mmで64ビットで構成されている。このような構造の集積回路が例えば7個使用され、薄膜サーマルヘッドの総ドット数は448となっている。図1では、1つの集積回路で制御される64ビットの抵抗体1～64だけが示されている。なお、各集積回路はいずれも64ピンのプローブを通して各抵抗体に接続され

ている。

【0019】また、パルス発生装置11や切換装置12は制御装置14で制御され、切換装置12は、8個のパルス電源11a～11hとサーマルヘッド13間の接続や、サーマルヘッド13と抵抗測定装置15間の接続などを制御している。

【0020】上記した構成において、制御装置14の制御によって、パルス電源12a～12hはトリミング用の電圧パルスを発生する。これら8個の電圧パルスは切換装置12を通してサーマルヘッド13に印加される。

【0021】また、電圧パルスが印加された抵抗体の抵抗値を測定する場合は、抵抗値測定用電源11iから抵抗体に電圧が印加される。そして、抵抗値の測定に必要なデータがサーマルヘッド13から抵抗測定装置15に送られ、抵抗値が測定される。このとき、電圧パルスが同時に印加された8個の抵抗体の抵抗値は、例えばドット順に測定される。このようにして各抵抗体に対し電圧パルスの印加や抵抗値の測定が行われ、トリミング処理が行われる。

【0022】なお、電圧パルスが印加されると、電圧パルスが印加された抵抗体の温度が上昇する。このとき、隣接する抵抗体の温度も上昇する。したがって、電圧パルスが印加された抵抗体の温度上昇による影響ができるだけ小さくなるように、電圧パルスが印加される抵抗体は例えば8個間隔としている。

【0023】例えば、1番目の電圧パルスは1、9、17、25、33、41、49、57ドットの各抵抗体に印加され、2番目の電圧パルスは5、13、21、29、37、45、53、61ドットの各抵抗体に印加される。

【0024】次に、トリミングを行うタイミングについて図2で説明する。

【0025】Paは、抵抗体に印加される電圧パルス(パルス幅5ms)である。電圧パルスPaは、パルス電源12a～12hから8個生成される。これらの電圧パルスは同時に生成されるため、図では1つで表示してある。したがって8個のパルスPaが、目標抵抗値より高い抵抗値を持つ第1グループの8個の抵抗体(例えば1、9、17、25、33、41、49、57ドット)に同時に印加される。パルスPaが印加された第1グループの抵抗体は、ある期間T1a(100ms)冷却され、その後、期間T2a(55ms)において抵抗値が順に測定される。そして、期間T3(92ms)において演算される。

【0026】一方、第1グループの抵抗体が冷却されている期間T1aにおいて、電圧パルスPb(パルス幅5ms)が生成され、別の第2グループの8個の抵抗体(例えば5、13、21、29、37、45、53、61ドット)に同時に印加される。第2グループの抵抗体は、ある期間T1b(100ms)冷却され、その後、

期間T2b(55ms)において抵抗値が順に測定される。そして、期間T3(92ms)において、第1グループの抗体に統いて演算が行われる。

【0027】なお、上記した処理、即ち、電圧パルスの印加や抵抗値の測定などの処理は、第1グループおよび第2グループの抗体の抵抗値が目標値になるまで繰り返される。

【0028】そして、第1グループや第2グループの抗体のトリミングが終了すると、次の第3および第4グループとして8個づつ計16個の抗体が選択され、第1、第2グループの抗体に対すると同様な処理が行われる。このような処理が順に繰り返され、すべての抗体の抵抗値が均一化される。

【0029】この場合、16ビットのトリミング処理に必要な時間は302msで、1ビットあたり約19msで、従来の図11の場合の106msに比較して短縮されている。

【0030】ここで、本発明のトリミング方法のフローについて図3で説明する。まず、絶縁性基板上に形成されたすべての抗体の抵抗値が測定され(ステップ31)、これに基づき一定の目標抵抗値が設定される(ステップ32)。そして、1番目の集積回路が選択され、この集積回路で制御される64個の抗体の中から第1グループの8個の抗体、例えば1、9、17、25、33、41、49、57の各ドットの抗体が選ばれる(ステップ33)。このとき、選ばれた各ドットの抵抗値がメモリから読み込まれ、それぞれの抵抗値に応じた電圧パルスの電圧値が設定される(ステップ34)。そして、8個の電圧パルスP_aが各抗体にそれぞれ印加される(ステップ35)。

【0031】次に、1番目の集積回路における第2グループの8個の抗体、例えば5、13、21、29、37、45、53、61の各ドットの抗体が選択され(ステップ36)、そして、各抗体に印加する電圧パルスP_bの電圧値が設定され(ステップ37)、印加される(ステップ38)。この場合も、選択された各ドットの抵抗値がメモリから読み込まれ、それぞれの抵抗値に応じた値の電圧パルスが設定され。

【0032】その後、第1グループの各抗体の抵抗値が順に測定される(ステップ39)。続いて、第2グループの各抗体の抵抗値が順に測定される(ステップ40)。そして、第1グループおよび第2グループの16個の抗体が目標抵抗値に入っているかどうか判定される(ステップ41)。目標抵抗値に入っていると判定されると、第3グループおよび第4グループとして選択された次の16個の抗体に変更される(ステップ42)。このとき、1番目の集積回路で制御される64個の抗体に対して、上記した処理が終了したかどうか判定される(ステップ43)。そして、終了と判定されると、終了した集積回路が最終のものであるか否か判定さ

れ(ステップ44)、最終と判定された場合は終了する。

【0033】なお、ステップ41で、2つのグループ、例えば第1、第2グループ、あるいは第3、第4グループなど16個の抗体の抵抗値が目標抵抗値に入っていない場合は、ステップ33に戻りステップ33～ステップ40が繰り返される。

【0034】また、ステップ43で、1つの集積回路で制御される64個の抗体のトリミングが終了していない場合は、ステップ33に戻りステップ33～ステップ42が繰り返される。

【0035】また、ステップ44で、最終の集積回路と判定されない場合は、次の集積回路が選択され(ステップ45)、ステップ33に戻り、次の集積回路についてステップ33～ステップ44が繰り返される。

【0036】ここで、本発明の他の実施形態について図4で説明する。

【0037】41はパルス発生装置である。パルス発生装置41は、トリミングに使用される高電圧の電圧パルスを発生する4個のパルス電源41a～41d、および、抵抗値の測定に使用される微小電圧を発生する1個の抵抗値測定用電源41eから構成されている。なお、トリミングの際に抗体に印加される電圧パルスの幅は5ms、そして1回あたりに印加されるパルスの数は1パルスに設定している。パルス発生装置41で発生された電圧パルスは、切換装置42を経て薄膜サーマルヘッド43に印加される。サーマルヘッド43は、例えば300ドット/インチで、総ドットが2560個の抗体体1～2560などで構成されている。なお、パルス発生装置41や切換装置42は制御装置44で制御されており、例えば、切換装置42は、パルス発生装置41で発生された電圧パルスや抵抗値測定用電源41e出力をサーマルヘッド43に供給し、また、抗体体1～2560の抵抗値の測定に使用されるデータを、サーマルヘッド43から抵抗測定装置45に送っている。

【0038】ここで、薄膜サーマルヘッドの構造について図5で説明する。

【0039】51は絶縁基板で、絶縁基板51上に、抗体52やドライバ用の集積回路53、駆動回路基板54、コモン電極基板55などが構成されている。また、絶縁基板51や駆動回路基板54、コモン電極基板55の下側には放熱板56が配置されている。

【0040】集積回路53は、画信号や制御信号の入力に応じて抗体52に流す電流のオン・オフを制御している。また、駆動回路基板54は集積回路53に各種の制御信号を供給している。

【0041】なお、コモン電極基板55は、図5(b)に示すように、3個のスリットS1～S3によって電気的に4分割されている。そして、2560個の抗体体は、例えば1～640ドットの組、641～1280ド

ットの組、1281～1920ドットの組、1921～2560ドットの組の4つに分けられ、それぞれの1つの組と4分割されたコモン電極がコモンワイヤボンディングW1によって電気的に接続されている。なお、コモンワイヤボンディングW1はハードエンドキャップ57で保護されている。そして、4分割されたコモン電極は、コモンワイヤW2を通して駆動回路基板54に接続され、そして4個のパルス電源41a～41dに接続される構成になっている。なお、4分割されたコモン電極は、後で説明するようにトリミング処理が終了した際に、図5(c)で示すようにコモンワイヤW3によって互いに接続される。

【0042】ここで、抗体R1～R2560が4つの組に分けられている構成について図6で説明する。R1～R2560は抗体で、640個づつ4つの組K1～K4に分けられ、各組K1～K4はそれぞれ4分割されたコモン電極C1～C4に接続されている。また、4つの組K1～K4は、端子T1～T4を通して4個のパルス電源41a～41dに接続されている。そして、各抗体R1～R2560は、その64個づつが1つの集積回路IC1～IC40に接続されている。

【0043】上記した構成において、トリミング処理を行う場合、各組K1～K4それぞれから1番目の抗体が1つづつ選択される。このとき、選択された抗体を制御する集積回路に制御信号(D1やSTB1～4)が加えられ、選択された4ドットの抗体に対して電圧パルスが同時に印加される。

【0044】ここで、トリミング処理のタイミングについて図7で説明する。

【0045】Pは、トリミングに使用される電圧パルスで、電圧パルスPが印加された抗体はある期間T1(100ms)冷却される。その後、期間T2(20ms)において、4ドットの抗体の抵抗値が1つづつ順に抵抗測定装置45で測定される。さらに期間T3(4ms)において演算が行われる。このようにして電圧パルスの印加や抵抗値の測定が行われる。

【0046】そして、1番目に選択された抗体のトリミングが終了すると、各組K1～K4から2番目の抗体が1つづつ選択され同様の手順でトリミング処理が行われる。このようにしてすべての抗体のトリミングが終了すると、図5(c)に示すように4分割されていたコモン電極基板間がコモンワイヤーW3で接続され、電気的に接続される。この方法の場合、4ビットのトリミング処理に必要な時間は124msで、1ビットあたり約31msで、従来の図11の場合の106msに比較して短縮されている。

【0047】ここで、トリミング方法のフローについて図8で説明する。

【0048】まず、ドライバ用の集積回路を搭載した後、絶縁性基板上に形成された各抗体の抵抗値分布を

測定し(ステップ81)、これに基づき一定の目標抵抗値を設定する(ステップ82)。そして、抗体の組分けが行われる(ステップ83)。その後、各組から1つづつ選択された4ドットそれに印加する電圧パルスの電圧値を設定し(ステップ84)、同時に印加する(ステップ85)。例えば、第1のパルス電源で1組K1の1ドット、第2のパルス電源で2組K2の641ドット、第3のパルス電源で3組K3の1281ドット、第4のパルス電源で4組K4の1921ドットに対して同時にパルスを印加する。

【0049】そして、パルスが印加された4個の抗体の抵抗値を測定する(ステップ86)。このとき、1ドット、641ドット、1281ドット、1921ドットの順に抵抗値が測定される。そして、4個の抗体の抵抗値が目標抵抗値に入ったかどうか判定される(ステップ87)。目標抵抗値に入っている場合、各グループから1つづつ2番目の4ドットの抗体が選ばれる(ステップ88)。

【0050】そして、最初の集積回路の64個の抗体について、上記処理が終了したかどうか判定される(ステップ89)。終了していると判定されると、その集積回路が最終のものであるか否か判定される(ステップ90)。このとき最終のものと判定されると終了する。

【0051】なお、ステップ87で、4個の抗体の抵抗値が目標抵抗値に入っていない場合は、ステップ84に戻りステップ84～ステップ86が繰り返される。また、ステップ89で、64個の抗体が終了していない場合は、ステップ84に戻りステップ84～ステップ88が繰り返される。また、ステップ90で、最終の集積回路と判定されない場合は、次の集積回路が選択され(ステップ91)、ステップ84に戻り、次の集積回路についてステップ84～ステップ90が繰り返される。

【0052】ここで、この発明で抵抗値を均一化した結果の一例を図9で説明する。

【0053】図9の横軸は抗体の配列方向で配列順序に対応したビット番号で示してある。また、縦軸は抵抗値(Ω)である。特性aがトリミング前の抵抗値、特性bがトリミング後の抵抗値である。この図から抵抗値が均一化されている状態が分かる。

【0054】

【発明の効果】本発明によれば、生産性がよいサーマルヘッドのトリミング方法を実現できる。

【図面の簡単な説明】

【図1】本発明の実施形態を示す回路構成図である。

【図2】本発明の実施形態を説明する図である。

【図3】本発明の実施形態を説明するフロー図である。

【図4】本発明の他の実施形態を示す回路構成図である。

【図5】本発明の他の実施形態を説明する概略構造図である。

【図6】本発明の他の実施形態を説明する回路構成図である。

【図7】本発明の他の実施形態を説明する図である。

【図8】本発明の他の実施形態を説明するフロー図である。

【図9】本発明の他の実施形態を説明する特性図である。

【図10】従来技術を説明する特性図である。

【図11】従来技術を説明する図である。

【符号の説明】

1 1…パルス発生装置

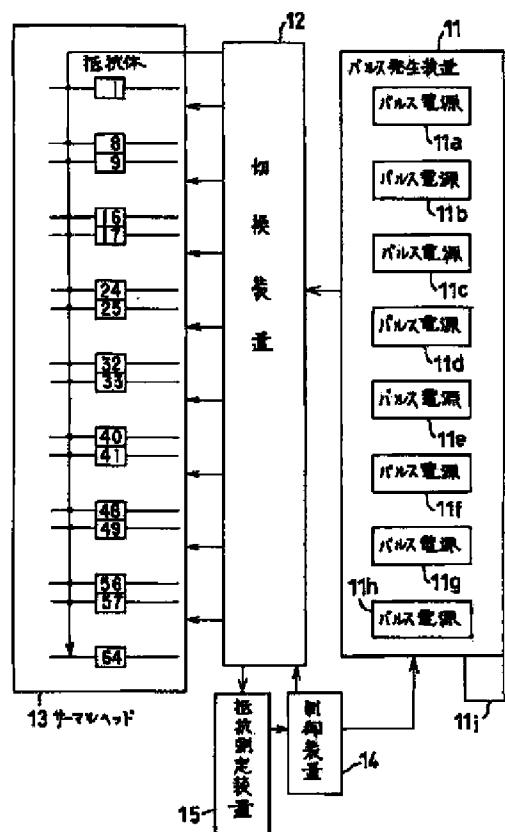
1 2…切換装置

1 3…サーマルヘッド

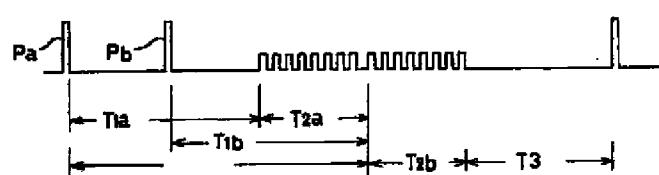
1 4…制御装置

1 5…抵抗測定装置

【図1】



【図2】

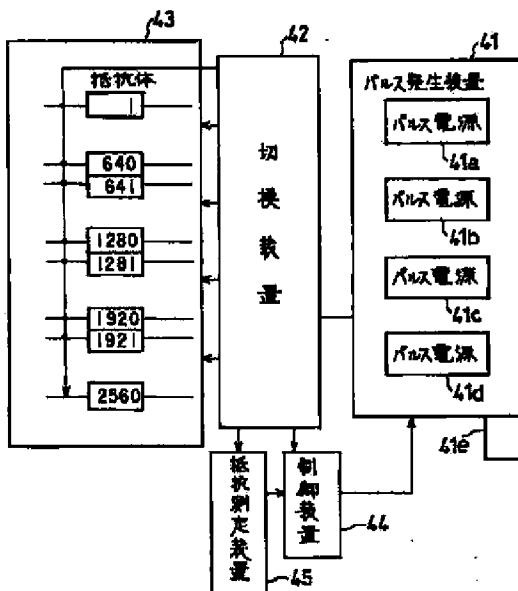


T1a, T1b: 100ms

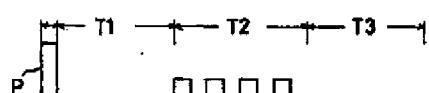
T2a, T2b: 55ms

T3 : 92ms

【図4】



【図7】

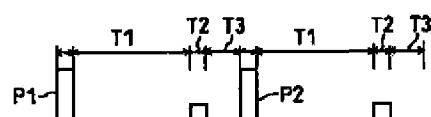


T1: 100ms

T2 : 20ms

T3 : 4ms

【図11】

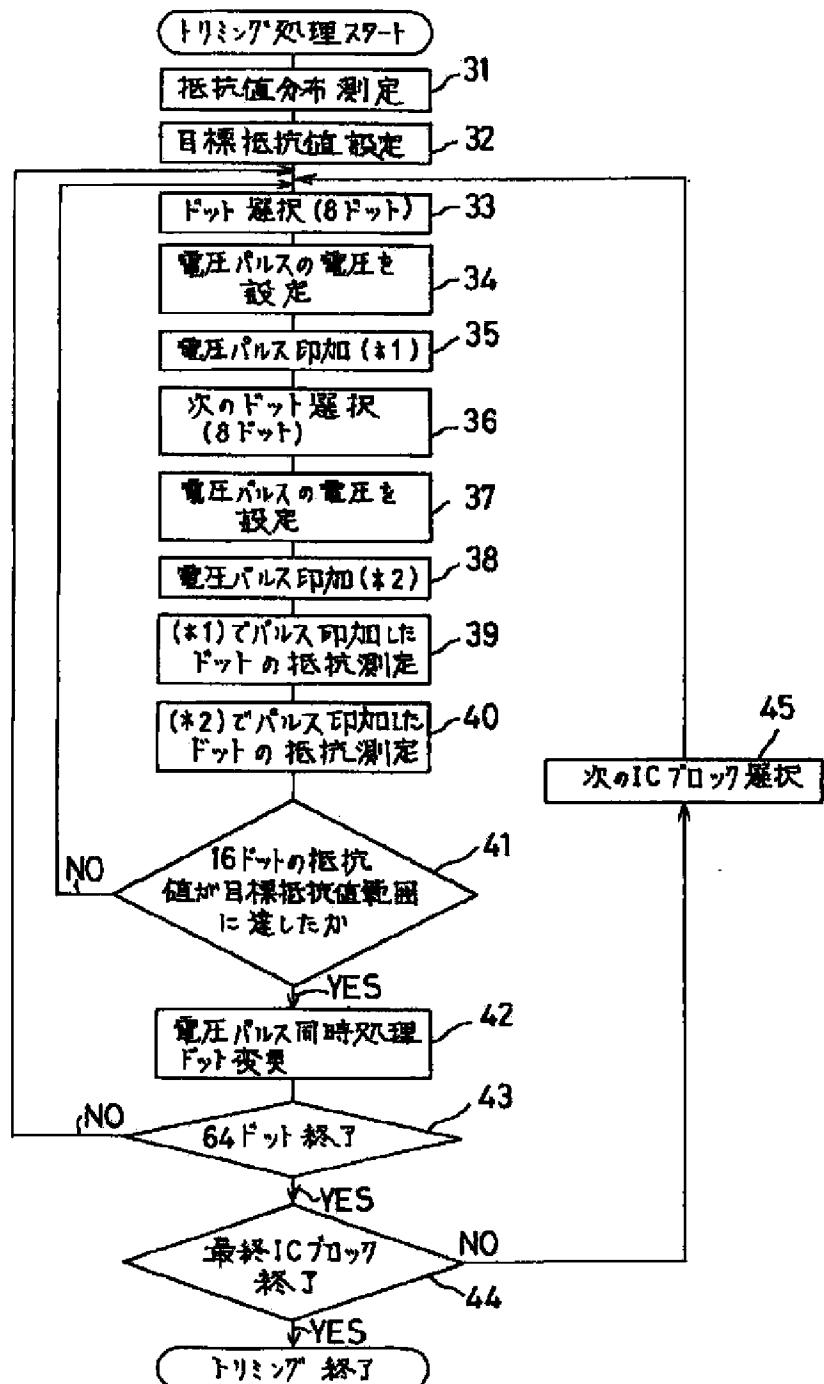


T1 : 100ms

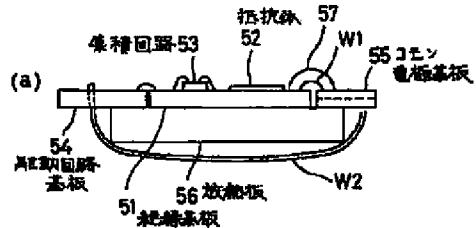
T2 : 5 ms

T3 : 1 ms

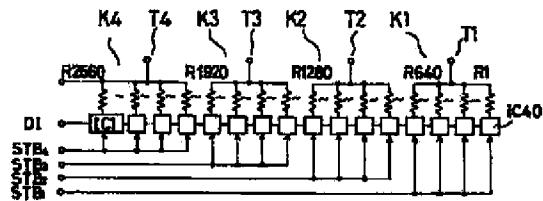
【図3】



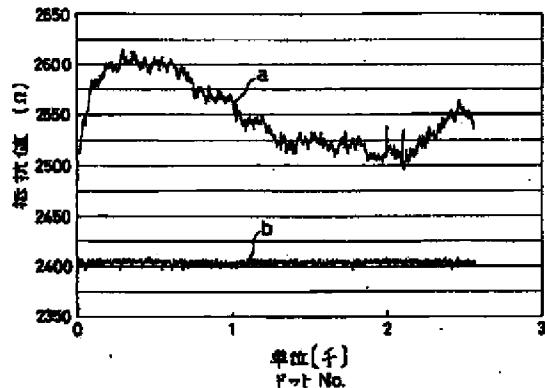
【図5】



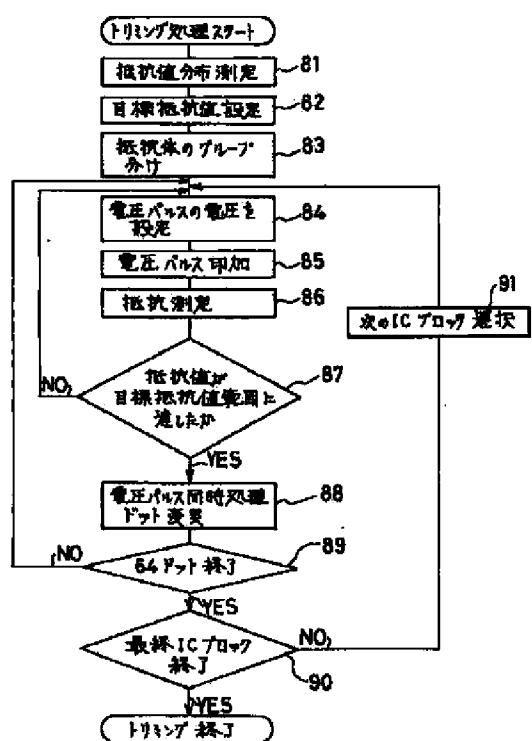
【図6】



【図9】



【図8】



【図10】

